

SEMICONDUCTOR DEVICE

Patent Number: JP61256673
Publication date: 1986-11-14
Inventor(s): SUGAYA SHINJI
Applicant(s):: FUJITSU LTD
Requested Patent: ☐ JP61256673
Application Number: JP19850098275 19850508
Priority Number(s):
IPC Classification: H01L29/78
EC Classification:
Equivalents:

Abstract

PURPOSE: To highly integrate a semiconductor device in a high density by forming a longitudinal memory area made of two cells with a common control gate.

CONSTITUTION: A control gate (CG) 1 buried continuously in one direction, floating gates (FG) 2 at both sides of the gate 1, an n⁺ type source region 4 formed commonly on a bottom, n⁺ type drain regions 5 formed on a surface layer and individually separated at sides, a p-type channel region 6 formed thereunder, aluminum wirings 7 connected by a window with the drain regions and formed perpendicularly to the CG, and a trench isolation region 8 for forming cells in a zigzag shape are provided. The CG line 1 is disposed at the center commonly, the two FG 2 and the two regions 6, i.e., the two cells commonly provided with the CG are formed longitudinally back-to-back, and provided in a matrix shape as one memory area. Thus, the cell area can be reduced planely, and highly integrated.

Data supplied from the esp@cenet database - I2

⑫ 公開特許公報(A) 昭61-256673

⑤ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)11月14日

H 01 L 29/78

7514-5F

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 半導体装置

⑰ 特 願 昭60-98275

⑱ 出 願 昭60(1985)5月8日

⑲ 発 明 者 菅 谷 慎 二 川崎市中原区上小田中1015番地 富士通株式会社内

⑳ 出 願 人 富 士 通 株 式 会 社 川崎市中原区上小田中1015番地

㉑ 代 理 人 弁理士 松岡 宏四郎

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

共通のソース(又は、ドレイン)となる一導電型半導体層上に反対導電型半導体層が設けられ、該反対導電型半導体層と同一深さ位置に、一方向に連続して埋没したコントロールゲートが設けられ、該コントロールゲートの両側に絶縁膜を介して個々に分離されたフローティングゲートが同じく埋没して設けられ、且つ、該フローティングゲートの前記コントロールゲートとは反対側の前記反対導電型半導体層の表面に、同じく個々に分離された一導電型ドレイン(又は、ソース)が設けられて、前記コントロールゲートを共通にした2つのセルからなる縦形メモリが設けられていることを特徴とする半導体装置。

3. 発明の詳細な説明

【概要】

底面の一導電型半導体層を共通のソース(又は、

ドレイン)とし、反対導電型半導体層(チャンネル領域)を介して表面に一導電型半導体層からなる分離されたドレイン(又は、ソース)を有する縦型EPROMを設ける。且つ、反対導電型半導体層(チャンネル領域)と同じ深さ位置に、一方向に連続したコントロールゲートを埋没して形成し、コントロールゲートの両側にフローティングゲートを埋没し、絶縁膜で個々に分離されたフローティングゲートとする。そうすると、反対導電型半導体層(チャンネル領域)を中央に共通にして両側にフローティングゲートを設けた2つのメモリセルが、連続したコントロールゲートに挟まれて形成され、このような縦形メモリセル領域がコントロールゲートに対して千鳥状に構成されている。

【産業上の利用分野】

本発明は半導体装置のうち、特に、高集積化に適したEPROMの構造に関する。

従来、EPROM(Erasable Programmable ROM)は消去可能なROMとして早くから開発され、後開発のEEPROM(電氣的に消去可能な

ROM)よりも製作が容易で、且つ、利用者がメモリ内容を知られたくない等の要望が満たされるため、今なお根強い需要によつて製造されており、1メガビット程度の高集積化のものも作成されている。

従つて、このようなEPROMにおいても、他のメモリと同じく、その高集積化について十分に配慮されなければならない。

〔従来の技術と発明が解決しようとする問題点〕

従前には数種の構造のEPROMが開発されたが、現在、使用されているEPROMは1トランジスタ構成のnチャネル形チャネル注入構造のものが主流で、第5図はそのEPROMの断面図を示している。1はコントロールゲート(以下、CGと略称す)、2はフローティングゲート(以下、FGと略称す)、3はn形領域からなるドレインまたはソースで、本例は並列した2つのセルを図示している。

周知のように、書き込みにはCGとドレインに高電圧を印加して、ソース・ドレイン間にチャネル

電流を流して行なわれ、一方、消去には紫外線を照射して行なわれる。

本発明は、このようなメモリの大容量化が可能な縦形の埋設EPROM構造を提案するものである。

〔問題点を解決するための手段〕

その目的は、共通のソース(又は、ドレイン)となる一導電型半導体層上に反対導電型半導体層が設けられ、該反対導電型半導体層の同一深さ位置に、一方向に連続して埋設したコントロールゲートが設けられ、該コントロールゲートの両側に絶縁膜を介して個々に分離されたフローティングゲートが同じく埋設して設けられ、且つ、該フローティングゲートの前記コントロールゲートとは反対側の前記反対導電型半導体層の表面に、同じく個々に分離された一導電型ドレイン(又は、ソース)が設けられて、前記コントロールゲートを共通にした2つのセルからなる縦形メモリ領域が設けられている半導体装置によつて達成される。

〔作用〕

即ち、本発明は反対導電型のチャネル領域を共通にした2つのEPROMセルを背中合わせに縦形に形成し、これを1つのメモリ領域として、これをマトリックス状に設ける。且つ、CGは一方向に連続し、埋設して形成され、このCGに対してFGはその両側に設けられており、ソース(又は、ドレイン)は底面で共通になっている。

そうすると、平面的にセル面積は縮小され高集積化される。

〔実施例〕

以下、図面を参照して実施例によつて詳細に説明する。

第1図は本発明にかかるEPROMの断面図で、第2図はその平面図、第3図は他の断面図である。且つ、第1図は第2図のAA'断面図を示しており、更に、第3図は第2図のBB'断面図を示している。

図において、1は一方向に連続して埋設されたCG、2はその両側のFG、4は底面に共通して設けられたn⁺型ソース領域面、5は表層に設け

られ、且つ、個々に側方とは分離されたn⁺型ドレイン領域、6はその下のp型のチャネル領域、7はn⁺型ドレイン領域に窓部で接続し、CGとは直交して設けられたアルミニウム配線、8はセルを千島状に形成するためのトレンチアイソレーション領域である。尚、第2図に示す平面図には、アルミニウム配線は点線でのみ図示しており、これは内部を判り易くするためである。

第1図はCGライン1を中央にして、このCGを共通にした断面図が示され、2つのFG 2と2つのチャネル領域6、即ち、CGを共通にした2つのセルが明示されている。第3図はp型チャネル領域6を共通にし、CG 1の異なるセルが明示されている断面図である。上記の〔作用〕で説明した「2つのEPROMセルを背中合わせに縦形に形成し」と云うことは第1図を説明した言葉である。また、前記の〔概要〕で述べた「反対導電型半導体層(チャネル領域)を中央にして両側にフローティングゲートを設けた2つのメモリセル領域が共通のコントロールゲートに挟まれて」と

云うことは第3図を説明した言葉である。

このような構造として、書き込みには、従来と同様に、CG1とドレイン5に高電圧を印加し、ソース4とドレイン5との間にチャネル電流を流す。そうすると、ドレイン近傍にホットエレクトロンが発生して、FGにチャージされる。消去も同じく、紫外線が照射される。

次に、その形成方法の概要を第4図(a)~(i)の形成工程順断面図で説明する。まず、同図(a)に示すように、p型シリコン基板10にn⁺型埋設層4(共通のソース領域となる層)を形成し、その上にp型シリコン層6(チャネル領域となる層)をエピタキシャル成長する。

次いで、第4図(b)に示すように、二酸化シリコン(SiO₂)膜を介した窒化シリコン(Si₃N₄)膜11を選択的に形成した後、垂直エッチングして、一定方向に溝12を形成する。ここに、垂直エッチングとは、公知のリアクティブイオンエッチングを用いて、縦方向にエッチングする方法である。次いで、同図(c)に示すように、Si₃N₄膜

11を残したまま、再びSiO₂膜を介したSi₃N₄膜13を表面および溝12の中にも形成し、これを再び垂直エッチングして、溝の底面のSi₃N₄膜のみを除去する。即ち、Si₃N₄膜13を被着すると、表面には二重のSi₃N₄膜が形成されるから、垂直エッチングして溝の底面のSi₃N₄膜を除去しても、なお、表面にはSi₃N₄膜11が残存し、又、垂直エッチングであるから、溝の側面のSi₃N₄膜13も残存するわけである。

次いで、第4図(d)に示すように、ウエット酸化気流中で酸化して、溝底面に厚いSiO₂膜14を形成した後、SiO₂膜を介したSi₃N₄膜11、13を全面除去する。ここで、次に、溝の側面のチャネル領域を高濃度のp型不純物領域とした方がEPROMの性能向上には望ましく、それを行なう場合には硼珪酸ガラス(BSG)を全面に被着し、これを更に垂直エッチングして溝の側面にのみ硼珪酸ガラスを残し、次いで、熱処理して側面に拡散させる。しかし、この工程は図には示していない。

次いで、第4図(e)に示すように、表面および溝表面にSiO₂膜15を形成し、その上に膜厚数1000Åの多結晶シリコン膜2(FGとなる膜)を気相成長(CVD)法で被着し、更に、これを垂直エッチングする。そうすると、図のように、溝側面にのみ多結晶シリコン膜2を残存させることができる。

次いで、第4図(f)に示すように、多結晶シリコン膜2の表面を酸化して、SiO₂膜16を形成した後、再び多結晶シリコン膜1(CGとなる膜)をCVD法で被着して溝12を埋没させ、表面等に余分に被着した多結晶シリコン膜はエッチバックして除去して表面を平坦化し、更に、その表面を酸化する。

次いで、千島状に形成するためのトレンチアイソレーションを行なうが、これを第4図(g)に示す断面図で説明する。上記第4図(a)~(f)は第2図のAA'断面(第1図の断面)で説明してきたが、第4図(g)および(h)は第2図のBB'断面で、且つ、これを直線延長したBB''断面図で、この図によ

つて説明する。

第4図(g)に示すように、トレンチアイソレーション部分8を選択的にエッチング除去する。トレンチアイソレーション部分はp型シリコン層6とその両側のFG部分で、これをn⁺型埋設層4に達するまでエッチング除去する。次いで、第4図(h)に示すように、そのアイソレーション部分をCVD法で被着させたSiO₂膜17で埋没させる。この時、表面等に余分に被着したSiO₂膜はエッチバックして除去し、表面を平坦化する。

次いで、第4図(i)に示すように、表面から磁素を拡散して、n⁺型ドレイン5を形成する。このドレイン形成はROMの周辺回路として設けられるMOS素子のソース、ドレインと同時に形成される。次いで、表面に層間絶縁膜を形成し、窓開けしてアルミニウム膜を被着し、これをパターンニングして、第1図に示すように、アルミニウム配線7を形成して、仕上げる。

以上が形成工程であるが、ここに説明したように、本発明にかかるEPROMは縦方向にチャネ

ル領域が形成されており、表面のセル占有面積が小さくでき、しかも、セル自身は縦方向に形成されるから、余り小形にしくなくてもよい。セル自身が一定の大きさを有することは、メモリの性能上から好ましいことである。

更に、その形成工程はマスクを用いたパターンニング工程が少なく、セルフアライン方式であるため、微細化にも好適である。マスク工程は溝12を形成するためのSi₃N₄膜11のパターンニング工程、トレンチアイソレーション部分をエッチングするためのマスクパターンニング工程、アルミニウム配線のための窓開け工程と配線パターン工程のみである。従つて、極めて少なく、それだけ微細化が容易である。

〔発明の効果〕

上記の説明から明らかなように、本発明によればEPROMを縦方向に形成して、著しく高密度化・高集積化することができる。

4. 図面の簡単な説明

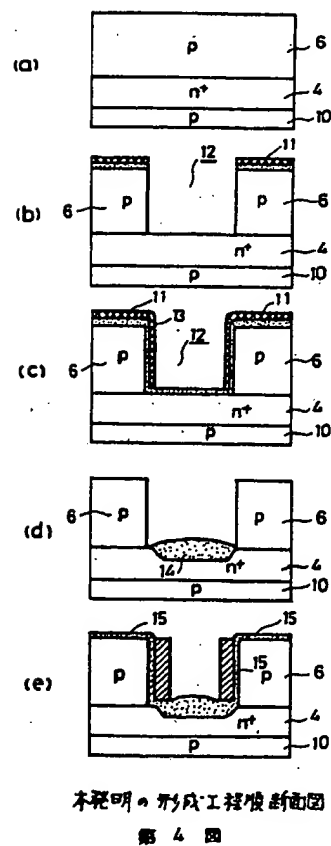
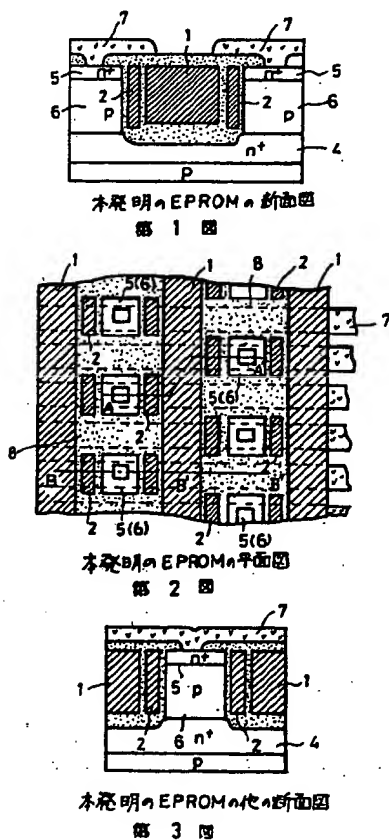
第1図は本発明にかかるEPROMの断面図、

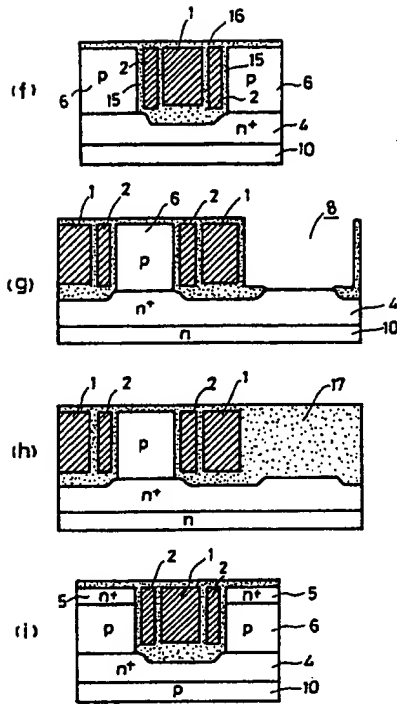
第2図は本発明にかかるEPROMの平面図、
第3図は本発明にかかるEPROMの他の断面図、
第4図はその形成工程順断面図、
第5図は従来のEPROMの断面図である。

図において、

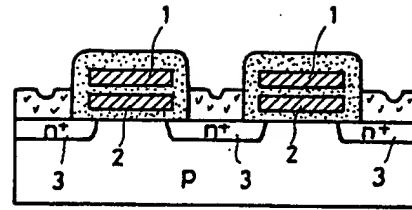
- 1はコントロールゲート(CG)、
 - 2はフローティングゲート(FG)、
 - 4は共通のn⁺型ソース領域面、
 - 5はn⁺型ドレイン領域、
 - 6はp型チャネル領域、
 - 7はアルミニウム配線、
 - 8はトレンチアイソレーション領域
- を示している。

代理人 弁理士 松岡宏四郎





本発明の形成工程横断面図
第 4 図



従来の EPROM の断面図
第 5 図